



(Foto: Audi AG)

Einsatz in Entwicklung und Produktion

Die MOST Cooperation hat zur Einführung des „MOST150 Compliance Verification“-Prozesses für die physikalische Schicht ein Testverfahren entwickelt, das die Zahl der zu verwendenden Komponenten weitestgehend reduziert. Die Signalerzeugung und Verifikation kann weitgehend mit einem Gerät abgedeckt werden, dem Physical Layer Stress Test Tool (PhLSTT; Bild 1). Ergänzt wird der Messaufbau lediglich durch Standardkomponenten wie Oszilloskop, Lichtleistungsmesser, Dämpfungsglied und Modemischer.

Somit ist es gelungen, von Beginn an einen Standard zu schaffen, der größtmögliche Einheitlichkeit bei der Verifikation von MOST150-Steuergeräten in der physikalischen Schicht erlaubt – beste Voraussetzung für weltweit identische Testprozesse und Testergebnisse. Das Physical Layer Stress Test Tool ist vorgeschriebener Bestandteil der Compliance Verification und nimmt dort auch eine Schlüsselrolle ein. So ergeben sich folgende Anwendungsgebiete für das PhLSTT:

Stresstest-Werkzeuge für den MOST150-Physical-Layer

Die Durchführung eines Physical-Layer-Tests für Steuergeräte lässt sich mit Hilfe des „Physical Layer Stress Test Tool“ stark vereinfachen. Wesentliche Funktionen wie das Generieren eines Worst-Case-Patterns, Signalkonditionierung, Pattern-Komparator oder Testablaufsteuerung lassen sich zudem damit abdecken. Dies sorgt für größtmögliche Transparenz und Effizienz bei der Durchführung und Auswertung von Physical-Layer-Tests. Damit sind die Grundlagen für den Start des „Compliance Verification“-Prozesses für MOST150-Steuergeräte gegeben.

Von Georg Janker

- ▶ Durchführung des Compliance-Prozesses in den akkreditierten Testhäusern.
- ▶ Entwicklungsbegleitende Verifikation bei den Steuergeräteherstellern.
- ▶ Qualitätssicherung am Bandende in der Produktion.
- ▶ Verifikation bei den Systemintegratoren.

Ein Test der physikalischen Schicht lässt sich vereinfacht durch zwei Auf-

gabenstellungen beschreiben (Bild 2): Das Applizieren von Worst-Case-Szenarien für das Steuergerät und das Verifizieren des vom DUT erzeugten Signals.

Worst-Case-Szenarien für DUT applizieren

Die Hauptaufgabe des PhLSTT ist es, Worst-Case-Pattern zu generieren, die dem zu testenden Steuergerät (Device

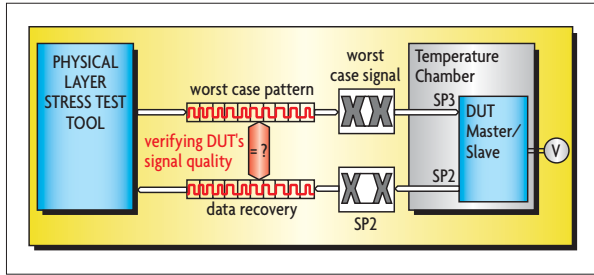


Bild 1. Das Physical Layer Stress Test Tool (PhLSTT).

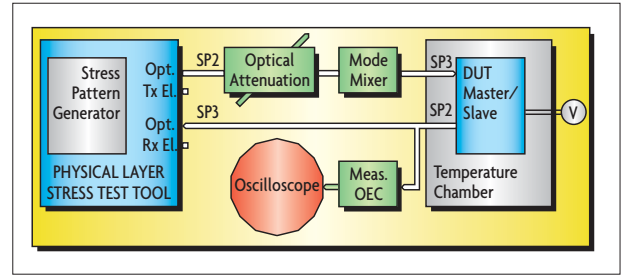


Bild 2. Physical-Layer-Testing-Szenarium.

under Test, DUT) appliziert werden. Das Ausgangssignal des DUT lässt sich mit Hilfe eines Komparators mit dem originalen Pattern vergleichen und auf Fehler hin untersuchen. Somit kann festgestellt werden, ob das DUT die Bit-Folge des Worst-Case-Pattern einerseits richtig interpretieren und andererseits auch wieder richtig ausgeben kann, ohne den als Compliant gültigen Standard zu verletzen. Das Worst-Case-Pattern-Szenario wird beim Compliance-Test mit anderen Stressbedingungen kombiniert wie Temperatur, Versorgungsspannung oder Lichtleistung.

Signalqualität überprüfen

Die Verifikation der Einhaltung der Signalqualität unter allen möglichen Bedingungen ist oberstes Ziel der Compliance Verification. Deshalb ist

Pattern-Generator und Signalkonditionierer

Der Pattern-Generator bietet die Möglichkeit, Pattern an verschiedene Ausgänge des PhLSTT zu applizieren. Das Pattern wird mittels eines hochgenauen Taktgenerators generiert und zusätzlich mit einem Signalkonditionierer bezüglich der Pulsbreite optimiert. Damit ließ sich der Transferred Jitter auf ein Minimum reduzieren. Der Signalkonditionierer ermöglicht darüber hinaus die deterministische Anpassung der Pulsbreiten (Duty Cycle Adjustment) in hoher Auflösung.

Das Pattern lässt sich alternativ über verschiedene Ausgänge am PhLSTT abgreifen: einer handelsüblichen FOT-Unit, einem LVDS-Ausgang für den Betrieb mit einem externen EOC oder mit dem integrierten High-Quality-EOC (HQ Tx). Standardmäßig ist im

und den Signalkonditionierer abgestimmt. Dies ermöglicht ein genaues und reproduzierbares Signal. Dadurch lässt sich wiederum ein Referenzsignal erzeugen, das durch zusätzliche Komponenten wie einen optischen Dämpfer oder Modenmischer auf das Test-szenario hin verändert werden kann. Eine Eigenschaft des EOC ist der Betrieb bei mehr als +1 dBm, was den Compliance-Test bei maximaler Lichtleistung am Eingang des DUT ermöglicht.

Pattern-Komparator

Neben dem Erzeugen des Signals ist es beim Test wichtig, zu überprüfen, ob das gesendete Pattern auch vom DUT richtig erkannt wird. Dazu wird das DUT in einen speziellen Bypass-Modus versetzt, den Retimed Triggered Bypass Mode. Dieser Modus leitet das empfangene Pattern in unmodifizierter Form einfach weiter. So lässt sich das Pattern am Ausgang des DUT mit dem vom PhLSTT erzeugten Pattern vergleichen. Im PhLSTT ist dafür ein Pattern-Komparator implementiert, der sowohl mit der integrierten FOT-Unit verbunden werden kann als auch an einen elektrischen Eingang, der den Anschluss eines externen OEC ermöglicht.

Damit lassen sich verschiedene Szenarien abbilden, z.B. die Kombination mit einer SP2-Messung mit einem Oszilloskop. Die Analyse des Pattern-Komparators bezieht sich auf zwei Merkmale: die aufgetretenen Bit-Fehler und plötzliche Phasenverschiebungen im empfangenen Signal. Beide Vorkommnisse werden vom PhLSTT gezählt und am Ende des Tests ausgegeben. Während des Tests lassen sich über Trigger-Ausgänge des PhLSTT aufgetretene Bit- oder Phasenfehler genauer lokalisieren und analysieren.

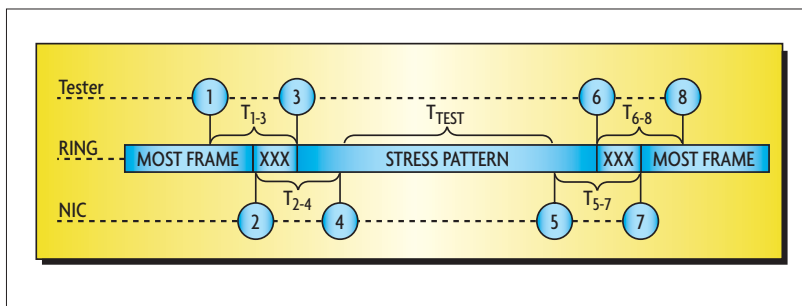


Bild 3. Typischer Messaufbau.

es auch wichtig, zu überprüfen, ob die Worst-Case-Signale nicht nur richtig empfangen und interpretiert werden, sondern zudem, ob das Steuergerät auch unter diesen Bedingungen am Ausgang (SP2 in Bild 1 und Bild 2) die Compliance-Vorgaben einhält (Bild 3). Dafür dient neben dem Physical-Layer-Stress-Testwerkzeug im Messaufbau ein Oszilloskop, um zum Beispiel das Augendiagramm zu überprüfen.

Gerät das von der MOST Cooperation für den Compliance-Prozess definierte Pattern implementiert. Über eine Kommunikationsschnittstelle lassen sich aber auch individuelle Pattern laden.

High-Quality-EOC

Die Besonderheit am integrierten EOC ist die hohe Signalqualität bei maximaler Lichtleistung. Die Architektur des EOC ist auf den Pattern-Generator

■ Automatisierung und Testablauf

Für die Durchführung des Tests bedarf es mehrerer Schritte:

▶ Umschalten des DUT in den Retimed-Triggered-Bypass-Modus. Damit das DUT das Signal nicht verfälscht wiedergibt, muss es in den Retimed-Triggered-Bypass-Modus versetzt werden. Dies geschieht mit der Methode `PhysicalLayerTest`, die im Funktionsblock `Enhanced Testability` im DUT aufgerufen wird.

▶ Umschalten des PhLSTT in den Stress-Modus. Um das Pattern zu erzeugen, muss das PhLSTT vom normalen MOST- in den Stress-Modus versetzt werden.

▶ Wiederholtes Senden des Pattern für eine bestimmte Zeit. Das Pattern wird in der Testphase für eine vordefinierte Zeit zyklisch versandt. Ein Trigger-Ausgang des PhLSTT informiert jeweils über den Anfang des Pattern, um Auswertungen mit einem Oszilloskop

während des Testlaufes zu ermöglichen.

▶ Pattern-Komparator-Betrieb. Wenn gesichert ist, dass das DUT und das PhLSTT im Stress-Modus sind, wird der Pattern-Komparator scharf geschaltet. Ab jetzt werden alle auftretenden Fehler sowohl im DUT als auch im Pattern-Komparator gezählt.

▶ Umschalten in den MOST-Modus. Um die Ergebnisse nach dem Test vergleichen zu können, müssen sowohl DUT als auch PhLSTT eigenständig nach vorher konfigurierter Zeit wieder in den normalen MOST-Modus schalten.

▶ Auslesen der Ergebnisse. Die gemessenen Werte des Unlock-Indikators und des Fehlerzählers im DUT werden über die Methode `PhysicalLayerTestResult` im Funktionsblock `Enhanced Testability` ausgelesen. Der gesamte Testablauf wird von dem PhLSTT selbstständig und automatisiert durchgeführt. Die Parameterisierung, der Start des Programmablaufes

und die Ergebnisanalyse werden über eine serielle Schnittstelle gesteuert. Die Durchführung eines Compliance-Tests ist also direkt nach dem Aufbau des Test-Setups möglich. *bg*



Georg Janker

ist CTO der Ruetz Systems Solutions GmbH und seit 1997 tätig im Bereich der Entwicklung MOST-Bus-basierter Infotainment-Systeme mit den Schwerpunkten Systemdefinition und Absicherung von MOST-basierten Netzwerken, Entwicklung der MOST-Compliance-Standards, MOST Compliance Test House und Entwicklung der Test- und Simulationswerkzeuge Testalyzer, Ttsuite MOST und PhLSTT.